

# PROGRAMMABLE FREQUENCY GENERATOR

**Patent number:** WO0237684  
**Publication date:** 2002-05-10  
**Inventor:** KRECKL ANDREAS (DE); FREY MARTIN (DE)  
**Applicant:** SZ TESTSYSTEME AG (DE); KRECKL ANDREAS (DE); FREY MARTIN (DE)

**Cited documents:**

EP0454917  
 EP0278140  
 EP0601519  
 DE3806981

**Classification:**

- international: H03L7/18; H03L7/16; (IPC1-7): H03L7/18

- european: H03L7/18

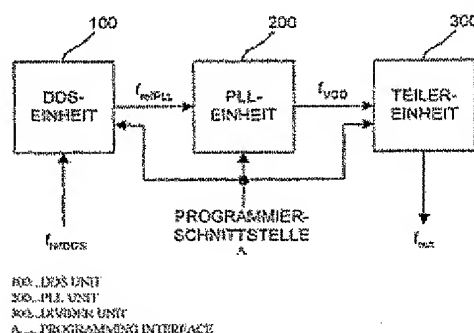
**Application number:** WO2001EP12190 20011022

**Priority number(s):** DE20001052676 20001024; DE20001052704 20001024

Report a data error here

**Abstract of WO0237684**

The invention relates to a programmable frequency generator comprising an oscillator, a phase regulation loop and a divider circuit. Said oscillator, phase regulation loop and divider circuit are connected in series in this order. Exactly one predetermined frequency is respectively output from the programmable frequency generator for each individual combination of an output frequency of the oscillator, for a dividing factor of the phase regulation loop determining a frequency multiplication of the phase regulation loop, and for a dividing factor of the divider circuit determining a frequency division of the divider circuit.



Data supplied from the esp@cenet database - Worldwide

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro



(43) Internationales Veröffentlichungsdatum  
10. Mai 2002 (10.05.2002)

PCT

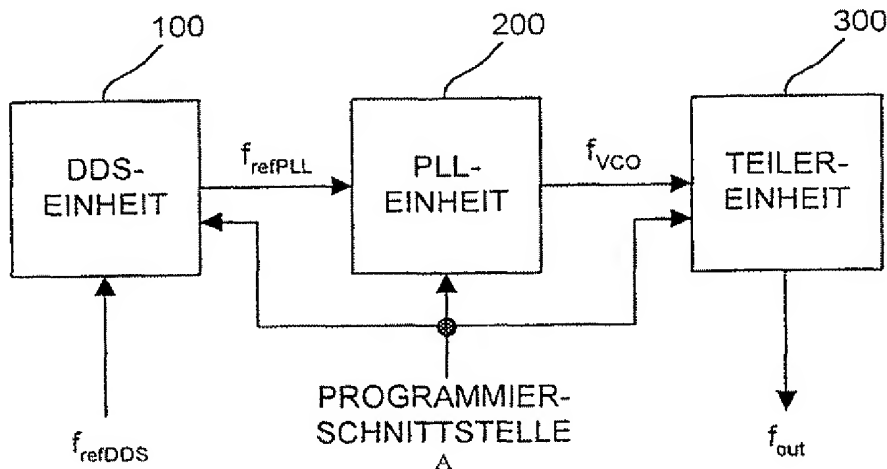
(10) Internationale Veröffentlichungsnummer  
**WO 02/37684 A1**

- (51) Internationale Patentklassifikation<sup>7</sup>: **H03L 7/18**
- (21) Internationales Aktenzeichen: **PCT/EP01/12190**
- (22) Internationales Anmeldedatum:  
22. Oktober 2001 (22.10.2001)
- (25) Einreichungssprache: **Deutsch**
- (26) Veröffentlichungssprache: **Deutsch**
- (30) Angaben zur Priorität:  
100 52 676.4 24. Oktober 2000 (24.10.2000) DE  
100 52 704.3 24. Oktober 2000 (24.10.2000) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): **SZ TESTSYSTEME AG** [DE/DE]; Wasserburger  
Strasse 44, 83123 Amerang (DE).
- (72) Erfinder; und  
(75) Erfinder/Anmelder (nur für US): **KRECKL, Andreas**  
[DE/DE]; Sulzbergstrasse 9, 83064 Grossholzhausen  
(DE). **FREY, Martin** [DE/DE]; Leitner am Berg 1, 83101  
Rohrdorf (DE).
- (74) Anwalt: **WINTER BRANDL FÜRNISS HÜB-  
NER RÖSS KAISER POLTE PARTNERSCHAFT**;  
Alois-Steinecker-Strasse 22, 85354 Freising (DE).
- (81) Bestimmungsstaaten (national): JP, US.
- (84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,  
NL, PT, SE, TR).
- Veröffentlicht:  
— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: PROGRAMMABLE FREQUENCY GENERATOR

(54) Bezeichnung: PROGRAMMIERBARER FREQUENZGENERATOR



100...DDS UNIT  
200...PLL UNIT  
300...DIVIDER UNIT  
A.....PROGRAMMING INTERFACE

(57) Abstract: The invention relates to a programmable frequency generator comprising an oscillator, a phase regulation loop and a divider circuit. Said oscillator, phase regulation loop and divider circuit are connected in series in this order. Exactly one predetermined frequency is respectively output from the programmable frequency generator for each individual combination of an output frequency of the oscillator, for a dividing factor of the phase regulation loop determining a frequency multiplication of the phase regulation loop, and for a dividing factor of the divider circuit determining a frequency division of the divider circuit.

[Fortsetzung auf der nächsten Seite]



WO 02/37684 A1



— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

---

**(57) Zusammenfassung:** Es wird ein programmierbarer Frequenzgenerator geschaffen, der einen Oszillator, eine Phasenregelschleife und eine Teilerschaltung aufweist, wobei der Oszillator, die Phasenregelschleife und die Teilerschaltung in dieser Reihenfolge in Reihe geschaltet sind und für jeweils eine einzige Kombination einer Ausgangsfrequenz des Oszillators, eines einer Frequenzvervielfachung der Phasenregelschleife bestimmenden Teilerfaktors der Phasenregelschleife und eines einer Frequenzteilung der Teilerschaltung bestimmenden Teilerfaktors der Teilerschaltung jeweils genau eine vorbestimmte Frequenz aus dem programmierbaren Frequenzgenerator ausgegeben wird.

Beschreibung**PROGRAMMIERBARER FREQUENZGENERATOR**

5

Die vorliegende Erfindung betrifft einen programmierbaren Frequenzgenerator mit minimalem Signaljitter, der insbesondere in automatischen Testsystemen für die Halbleiterindustrie anwendbar ist.

10

Programmierbare Frequenzgeneratoren kommen bei vielen Anwendungen zum Beispiel zum Erzeugen von Taktsignalen unterschiedlicher Frequenzen zum Einsatz. Bei derartigen Anwendungen ist es erforderlich, daß die programmierbaren Frequenzgeneratoren derart programmierbar sind, daß sie in Abhängigkeit einer jeweiligen Programmierung ein Taktsignal einer vorbestimmten Frequenz erzeugen, die möglichst stabil gehalten wird.

20

Ein wesentlicher Störfaktor ist der sogenannte Signaljitter, der angibt, wie groß im Zeitbereich eine zeitliche Abweichung des Nulldurchgangs eines digitalen Signals von seiner idealen zeitlichen Position ist. Grundsätzlich kann zwischen zwei Arten von Jitter unterschieden werden, dem stochastischen Jitter und dem deterministischen Jitter. Die Ursachen des deterministischen Jitters sind systembedingt und meist exakt nachvollziehbar. Andererseits ist die Ursache für stochastischen Jitter Rauschen. Bei einer Betrachtung im Frequenzbereich ist Jitter als Phasenrauschen erkennbar.

30

Aufgrund von technischen Eigenschaften eines verwendeten Systems führt ein Überschreiten von bestimmten Rausch- und Jitterwerten zu Fehlern in einem Ausgangssignal. Je nach Art des verwendeten Systems können diese Fehler bei digitalen Systemen Bitfehler und bei analogen

35

Systemen verdrauschte Träger sein.

Eine spezifische Anwendung eines programmierbaren Frequenzgenerators ist die Verwendung in einem automatischen Testsystem in der Industrie. Derartige automatische Testsysteme werden verwendet, um elektronische Bauelemente auf ihre Qualität hin zu überprüfen. Bei einer derartigen Überprüfung werden Parameter, die in der Spezifikation eines Bauelements festgehalten werden, gemessen und wird anhand der gemessenen Werte überprüft, ob vorbestimmte Qualitätskriterien erfüllt sind. Bei einem Produktionstest können zum Beispiel die Parameter Eingangsströme, Versatzspannungen, Leckströme, Spannungsfestigkeit, Eingangswiderstände, Signallaufzeiten oder -anstiegszeiten gemessen werden. Neben einem Verwenden bei Produktionstests können automatische Testsysteme bereits in der Entwicklung, um ein Bauelement zu charakterisieren, oder in der Wareneingangskontrolle eingesetzt werden, um fehlerhafte Bauelemente zu erkennen.

20

Wie es leicht ersichtlich ist, müssen bei einem derartigen automatischen Testsystem äußerst genaue Taktsignale mit sehr geringen Jitterwerten zum Testen der Bauelemente von einem programmierbaren Frequenzgenerator erzeugt werden, um Meßergebnisse mit geringen Fehlern und geringer Unsicherheit zu erzielen. Weiterhin ist es erforderlich, daß der programmierbare Frequenzgenerator sowohl möglichst viele unterschiedliche als auch möglichst hohe Frequenzen erzeugen kann. Daher ergibt sich das Problem, daß die Jitterwerte im gesamten Frequenzbereich, in dem Taktsignale erzeugt werden können, gering gehalten werden müssen, um eine zuverlässige Funktionsweise des programmierbaren Frequenzgenerators sicherzustellen.

35 Es ist demgemäß die Aufgabe der vorliegenden Erfindung, einen programmierbaren Frequenzgenerator zu schaf-

fen, der Taktsignale mit sehr geringem Signaljitter und mit sehr vielen unterschiedlichen Frequenzen bis hin zu sehr hohen Frequenzen erzeugen kann.

- 5        Diese Aufgabe wird mit den in Anspruch 1 angegebenen Maßnahmen gelöst.

Genauer gesagt wird erfindungsgemäß ein programmier-  
barer Frequenzgenerator geschaffen, der einen Oszillator,  
10    eine Phasenregelschleife und eine Teilerschaltung auf-  
weist, wobei der Oszillator, die Phasenregelschleife und  
die Teilerschaltung in dieser Reihenfolge in Reihe ge-  
schaltet sind und für jeweils eine einzige Kombination  
einer Ausgangsfrequenz des Oszillators, eines eine Fre-  
15    quenzvervielfachung der Phasenregelschleife bestimmenden  
Teilerfaktors der Phasenregelschleife und eines eine Fre-  
quenzteilung der Teilerschaltung bestimmenden Teilerfak-  
tors der Teilerschaltung jeweils genau eine vorbestimmte  
Frequenz aus dem programmierbaren Frequenzgenerator aus-  
20    gegeben wird.

Dadurch sind der Oszillator, die Phasenregelschleife  
und die Teilerschaltung derart unabhängig voneinander op-  
timierbar, daß der Wert des Signaljitters eines Ausgangs-  
25    signals des programmierbaren Frequenzgenerators minimiert  
werden kann.

Weitere vorteilhafte Ausgestaltungen der vorliegenden  
Erfindung sind Gegenstand der abhängigen Ansprüche.

30

Die vorliegende Erfindung wird nachstehend anhand ei-  
nes Ausführungsbeispiels unter Bezugnahme auf die beilie-  
gende Zeichnung näher erläutert.

35        Es zeigt:

- Fig. 1 ein Blockschaltbild eines programmierbaren Frequenzgenerators gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;
- 5 Fig. 2 ein Blockschaltbild einer in dem programmierbaren Frequenzgenerator in Fig. 1 verwendeten DDS-Einheit;
- Fig. 3 eine Darstellung eines idealen DDS-Spektrums;
- 10 Fig. 4 eine Darstellung eines realen DDS-Spektrums;
- Fig. 5 eine Darstellung eines in der DDS-Einheit verwendeten Tiefpaßfilters;
- 15 Fig. 6 ein Blockschaltbild einer in dem programmierbaren Frequenzgenerator in Fig. 1 verwendeten PLL-Einheit;
- 20 Fig. 7 eine Darstellung eines in einem Schleifenfilter verwendeten PI-Glieds;
- Fig. 8 eine Darstellung eines in dem Schleifenfilter verwendeten Referenzfrequenz-Unterdrückungsfilters;
- 25 Fig. 9 ein Blockschaltbild einer in dem programmierbaren Frequenzgenerator in Fig. 1 verwendeten Teiler-einheit; und
- 30 Fig. 10 ein Blockschaltbild einer möglichen Programmierung einer in der Teilereinheit verwendeten PLD.

Es folgt die Beschreibung eines Ausführungsbeispiels  
35 der vorliegenden Erfindung.

Fig. 1 zeigt ein Blockschaltbild eines programmierbaren Frequenzgenerators gemäß dem Ausführungsbeispiel der vorliegenden Erfindung.

5        Der programmierbare Frequenzgenerator weist eine DDS-Einheit bzw. eine Einheit zur direkten digitalen Synthese 100, die als ein Oszillator dient, eine PLL-Einheit bzw. eine Einheit einer phasenstarken Regelschleife 200, die als eine Phasenregelschleife dient, und eine Teilerein-  
10        heit 300 auf, die als eine Teilerschaltung dient. Wie es in Fig. 1 gezeigt ist, sind diese drei Einheiten mittels einer Programmierschnittstelle programmierbar. Allgemein ausgedrückt kann als der Oszillator ein numerisch gesteuerter Oszillator oder ein Synthesizer verwendet werden.

15

      In die DDS-Einheit 100 wird ein Signal einer DDS-Referenzfrequenz  $f_{\text{refDDS}}$  eingegeben. Diese DDS-Referenzfrequenz  $f_{\text{refDDS}}$  wird mittels eines temperaturkompensierten Quarzoszillators erzeugt. Die von dem Quarzoszillator erzeugte DDS-Referenzfrequenz  $f_{\text{refDDS}}$  beträgt 42,949 MHz.  
20        Die DDS-Einheit 100 erzeugt in Abhängigkeit einer jeweils vorliegenden Programmierung ein Signal einer Referenzfrequenz  $f_{\text{refPLL}}$  in dem Bereich von 10 MHz  $\pm$  500 kHz und gibt dieses zu der PLL-Einheit 200 aus. Die PLL-Einheit  
25        200 erzeugt in Abhängigkeit einer jeweils vorliegenden Programmierung ein Signal einer Frequenz  $f_{\text{VCO}}$ , die sich in einem Bereich von 500 MHz bis 1000 MHz befindet, und gibt dieses zu der Teilereinheit 300 aus. Die Teilereinheit 300 teilt die Frequenz  $f_{\text{VCO}}$  des Signals, das von der  
30        PLL-Einheit 200 eingegeben wird, und erzeugt in Abhängigkeit einer jeweils vorliegenden Programmierung ein Signal einer Frequenz  $f_{\text{out}}$  in einem Bereich zwischen 100 Hz und 500 MHz. Durch den zuvor beschriebenen Aufbau und die voneinander unabhängige Programmierbarkeit der DDS-Ein-  
35        heit 100, der PLL-Einheit 200 und der Teilereinheit 300 können Frequenzen mit einer Schrittweite von 1 Hz in dem



Bereich von 100 Hz bis 500 MHz eingestellt werden, wobei der Wert des Signaljitters durch nachfolgend beschriebene Maßnahmen, die in der DDS-Einheit 100, der PLL-Einheit 200 und der Teilereinheit 300 durchgeführt werden, in dem gesamten Bereich der Frequenz  $f_{out}$  maximal 5 ps effektiv beträgt.

Nachfolgend wird der Aufbau der DDS-Einheit 100 detaillierter beschrieben.

10

Wie es in Fig. 2 gezeigt ist, weist die DDS-Einheit 100 einen DDS-Baustein 101 und ein Tiefpaßfilter 102 auf. Der DDS-Baustein 101 erzeugt nach dem bekannten Prinzip der direkten digitalen Synthese mittels digital gespeicherter Tabellen in Abhängigkeit von einem über die Programmierschnittstelle eingegebenen Programmierwort und der Referenzfrequenz  $f_{refDDS}$  für die DDS-Einheit 100 eine Frequenz  $f_s$ .

20 Fig. 3 zeigt eine Darstellung eines idealen DDS-Spektrums. Wie es ersichtlich ist, sind weder eine Abtastfrequenz  $f_a$  noch deren Vielfache in dem idealen DDS-Spektrum enthalten. Weiterhin sind Amplituden in dem Frequenzbereich nach der sinc-Funktion gewichtet. Der größte Teil der spektralen Leistung liegt im Nutzbereich ( $< f_a/2$ ), in dem ebenso das Nutzsignal bei der Frequenz  $f_s$  liegt. Ein derartiges ideales DDS-Spektrum ist jedoch in der Praxis nicht erzielbar.

30 Vielmehr stellt ein in dem DDS-Baustein 101 enthaltener Digital/Analogwandler bzw. D/A-Wandler das gütebestimmende Element des DDS-Bausteins 101 dar. Der D/A-Wandler verursacht hauptsächlich Quantisierungsfehler bei der D/A-Wandlung durch seine begrenzte Auflösung und differenzielle oder integrale Nichtlinearitäten der D/A-Wandler-Kennlinie. Weitere Nichtlinearitäten werden zum

35

Beispiel durch endliche Anstiegszeiten an Ein- und Ausgängen des D/A-Wandlers verursacht.

Fig. 4 zeigt eine Darstellung eines realen DDS-Spektrums, das in der Praxis mittels des DDS-Bausteins 101 erzielt wird. Wie es ersichtlich ist, liegt das Nutzsignal wie in Fig. 3 bei  $f_s < f_a/2$ . Ferner sind in dem realen DDS-Spektrum Anteile von Vielfachen  $nf_s$  ( $n = 2, 3, 4 \dots$ ) der Frequenz  $f_s$  des Nutzsignals enthalten. Dies wird durch nichtlineare Verzerrungen verursacht, die hauptsächlich durch den D/A-Wandler entstehen. Weiterhin sind in dem realen DDS-Spektrum Störfrequenzen enthalten. In Fig. 4 bezeichnet  $f_x$  eine willkürlich gewählte Störfrequenz. Derartige Störfrequenzen entstehen aufgrund von stochastischen Vorgängen und/oder zum Beispiel Störimpulsen, die durch Fehler während der D/A-Wandlung erzeugt werden, bei der Pegelübergänge mit Überschwingern behaftet sind. Weiterhin sind die Abtastfrequenz  $f_a$  und deren Vielfache aufgrund von Abtastfrequenzkopplungen aufgrund von zum Beispiel Kopplungen von Kapazitäten zwischen Leitungen in dem realen DDS-Spektrum enthalten. Dies kann jedoch durch eine Optimierung des Systemaufbaus vermieden werden. Schließlich ist in dem DDS-Spektrum ein Rauschspektrum enthalten, das sich aus thermischem Rauschen der Bauelemente, Quantisierungsrauschen und Phasenrauschen zusammensetzt.

Um die zuvor beschriebenen Störeinflüsse zu verringern, ist, wie es in Fig. 2 gezeigt ist, ein Filter 102 nach dem DDS-Baustein 101 vorgesehen. Da die Ausgangsfrequenz des DDS-Bausteins 101, das heißt die Referenzfrequenz  $f_{refPLL}$ , wie es vorhergehend beschrieben worden ist, lediglich in einem schmalen Frequenzbereich von  $\pm 500$  kHz verstimmt wird, wird ein Tiefpaßfilter als das Filter 102 verwendet. Jedoch können mit einem Tiefpaßfilter keine nahe am Träger liegenden Seitenbänder beseitigt

werden. Um dies zu erzielen, kann als das Filter 102 ein auf den erwünschten Bereich abgestimmtes Bandpaßfilter verwendet werden.

5 Bei einer Umsetzung des programmierbaren Frequenzgenerators in die Praxis wird als der DDS-Baustein 101 der Typ AD 9852 der Firma Analog Devices verwendet. Das Filter 102 wird als elliptisches Tiefpaßfilter sechsten Grades ausgebildet, wobei die Grenzfrequenz des Filters 102  
 10 15 MHz beträgt. Folgende weitere Werte sind für das Filter 102 ausgewählt worden, wobei ein mögliches Auswahlkriterium die Sperrdämpfung  $a_s$  ist: normierte Sperrkreisfrequenz  $\Omega_s = 2,191938860$ , Sperrdämpfung  $a_s = 74,6$  dB, normierter Eingangswiderstand  $r_1 = 1$ , normierter Ausgangswiderstand  $r_2 = 1$ , Struktur A.  
 15

Fig. 5 zeigt eine Darstellung des in der DDS-Einheit 100 verwendeten Filters 102. Wie es aus Fig. 5 ersichtlich ist, ist das Filter 102 als das vorhergehend beschriebene elliptische Tiefpaßfilter sechsten Grades ausgebildet.  
 20

Eine Entnormierung der Komponenten des elliptischen Tiefpaßfilters sechsten Grades erfolgt mittels der nachfolgenden Gleichungen (1) bis (3) und mittels einer Multiplikation der erzielten Ergebnisse mit vorbestimmten Faktoren, die sich aus einer vorgegebenen Tabelle eines Filterhandbuchs für das auszubildende Filter ergeben.  
 25

$$30 \quad C_{2v-1}/C_{2v} = 1/(\omega X_C) \quad (1)$$

$$L_{2v} = X_L/\omega \quad (2)$$

$$\omega = 2\pi f \quad \dots (3)$$

35

wobei  $X_L = X_C = 50 \, \Omega$ ,  $f = 15$  MHz und  $v$  eine ganze

Zahl von 1 bis 3 ist.

Nach Multiplikation mit den vorbestimmten Faktoren, die für  $C_1$  mit 0,828204, für  $C_2$  mit 0,074478, für  $C_3$  mit  
 5 1,568427, für  $C_4$  mit 0,129909, für  $C_5$  mit 1,373533, für  $L_2$  mit 1,372311, für  $L_4$  mit 1,498320 und für  $L_6$  mit 0,899534 gegeben sind, werden die folgenden Werte der Komponenten des Filters 102 erhalten.

v	$C_{2v-1}/pF$	$C_{2v}/pF$	$L_{2v}/nH$
1	176	16	736
2	334	28	810
3	291	-	477

10

Die derart berechneten Werte werden dann durch Werte von Bauelementen aus einer Normreihe ersetzt, wodurch die Komponenten des Filters 102 wie folgt festgelegt sind.  $C_1$  beträgt 177 pF durch Parallelschaltung von 150 pF und 27  
 15 pF,  $C_2$  beträgt 15 pF,  $C_3$  beträgt 330 pF,  $C_4$  beträgt 27 pF,  $C_5$  beträgt 302 pF durch Parallelschaltung von 220 pF und 82 pF,  $L_2$  beträgt 680 nH,  $L_4$  beträgt 820 nH und  $L_6$  beträgt 470 nH.

20 Aus dem derart aufgebauten Filter 102 wird die Referenzfrequenz  $f_{refPLL}$  für die PLL-Einheit 200 ausgegeben.

Nachfolgend wird der Aufbau der PLL-Einheit 200 detaillierter beschrieben.

25

Wie es in Fig. 6 gezeigt ist, weist die PLL-Einheit 200 einen  $1/n_1$ -Teiler 201, einen Phasendetektor 202, ein Schleifenfilter 203, einen spannungsgesteuerten Oszillator bzw. VCO 204 und einen  $1/n_2$ -Teiler 205 auf.

30

Die PLL-Einheit 200 erzeugt aus einem Eingangssignal mit der Referenzfrequenz  $f_{refPLL}$  ein Ausgangssignal, das

in einer festen Phasenbeziehung zu dem Eingangssignal steht. Mit dem  $1/n_1$ -Teiler 201 und dem  $1/n_2$ -Teiler 205 kann in Abhängigkeit jeweiliger Teilerfaktoren  $n_1$  und  $n_2$  eine Frequenzvervielfachung der Referenzfrequenz  $f_{\text{refPLL}}$  eingestellt werden.

Die Frequenz  $f_{\text{VCO}}$ , die aus der PLL-Einheit 200 ausgegeben wird, ist mittels der nachfolgenden Gleichung (4) festgelegt.

10

$$f_{\text{VCO}} = (n_2/n_1)f_{\text{refPLL}} \quad (4)$$

Auf diese Weise kann die Frequenz auf jedes beliebig Vielfache der Referenzfrequenz  $f_{\text{refPLL}}$  eingestellt werden.

15

Im vorliegenden Fall wird der  $1/n_1$ -Teiler 201 nicht verwendet, was bedeutet, daß der Teilerfaktor  $n_1$  auf 1 festgelegt ist, um die Referenzfrequenz  $f_{\text{refPLL}}$  als feste Phasenvergleichsfrequenz bei dem Phasendetektor 202 zu verwenden. Da sich die Referenzfrequenz  $f_{\text{refPLL}}$  in dem Bereich von 10 MHz  $\pm$  500 kHz befindet, wird der Teilerfaktor  $n_2$  auf Werte zwischen 50 bis 100 eingestellt, um die erwünschte Frequenz  $f_{\text{VCO}}$  zwischen 500 und 1000 MHz zu erzielen.

25

Der Phasendetektor 201 erfaßt eine Phasendifferenz zwischen dem Referenzsignal  $U_{\text{PLL}}$  mit der Referenzfrequenz  $f_{\text{refPLL}}$  und dem durch den Teilerfaktor  $n_2$  geteilten Ausgangssignal  $U_{\text{VCO}}$  mit der Frequenz  $f_{\text{VCO}}$  aus dem VCO 205 und erzeugt eine Spannung, die in einem bestimmten Bereich proportional zu der erfaßten Phasendifferenz ist. Die von dem Phasendetektor 201 erzeugte Spannung weist sowohl einen Gleichspannungsanteil als auch einen Wechselspannungsanteil auf. Zum Ansteuern des VCO 204 ist jedoch lediglich der Gleichspannungsanteil erforderlich,

35

der mit dem Schleifenfilter 203 herausgefiltert wird.

Mittels des Schleifenfilters 203 wird also der Wechselspannungsanteil unterdrückt. In diesem Ausführungsbeispiel der vorliegenden Erfindung wird als das Schleifenfilter 203 ein aktives Filter verwendet, das einen Integrator mit einem Proportionalanteil aufweist. Das aktive Filter weist also ein PI-Glied auf. Da derartige aktive Filter für höhere Frequenzen lediglich eine endliche Dämpfung aufweisen, ist zusätzlich nach dem aktiven Filter ein Referenzfrequenz-Unterdrückungsfilter vorgesehen, das ein elliptisches LC-Filter fünften Grades ist.

Fig. 7 zeigt eine Darstellung des in dem Schleifenfilter 203 verwendeten PI-Glieds als aktives Filter. Die Übertragungsfunktion des PI-Glieds ist durch die nachfolgende Gleichung (5) gegeben.

$$F(s) = (1 + s\tau_2)/(s\tau_1) \quad (5)$$

20

wobei  $s$  die komplexe Frequenz,  $\tau_1 = R_1C$  und  $\tau_2 = R_2C$  ist. Dieses PI-Glied weist einen Pol bei der Frequenz von 0 Hz auf, wodurch das PI-Glied für Gleichspannungen im Idealfall unendlich verstärkend wirkt. Dies führt dazu, daß eine verbleibende Phasendifferenz zu null ausgeglichen wird.

Wie es aus Fig. 7 ersichtlich ist, müssen zur Dimensionierung des PI-Glieds Werte von Widerständen  $R_1$  und  $R_2$  und eines Kondensators  $C$  festgelegt werden.

Beim Festlegen der Werte der Widerstände  $R_1$  und  $R_2$  und des Kondensators  $C$  des PI-Glieds sind Parameter zu berücksichtigen, die sich durch die anderen verwendeten Komponenten in der PLL-Einheit 200 ergeben.

35

Fig. 8 zeigt eine Darstellung des in dem Schleifenfilter 203 verwendeten Referenzfrequenz-Unterdrückungsfilter. Wie es zuvor beschrieben worden ist, ist das Referenzfrequenz-Unterdrückungsfilter ein elliptisches LC-Filter fünften Grades.

Wie es aus Fig. 8 ersichtlich ist, müssen zur Dimensionierung des Referenzfrequenz-Unterdrückungsfilters Werte von Induktivitäten  $L_{22}$  und  $L_{24}$  und Kondensatoren  $C_{21}$ ,  $C_{22}$ ,  $C_{23}$ ,  $C_{24}$  und  $C_{25}$  festgelegt werden.

Es ist von den Erfindern der vorliegenden Erfindung festgestellt worden, daß das Jitterverhalten der Referenzfrequenz  $f_{\text{refPLL}}$  in einem gewissen Rahmen keinen bzw. geringen Einfluß auf das Jitterverhalten der Frequenz  $f_{\text{VCO}}$  aufweist. Daher wird bei der Dimensionierung des Schleifenfilters ein optimales Einschwingen und eine maximale Ziehzeit bei einem Ausgangsfrequenzsprung der PLL-Einheit 200 berücksichtigt.

20

Bei der Umsetzung des programmierbaren Frequenzgenerators in die Praxis wird der PLL-Baustein des Typs Q 3236 der Firma Qualcomm verwendet, der den  $1/n_1$ -Teiler 201, den Phasendetektor 202 und den  $1/n_2$ -Teiler 205 aufweist. Weiterhin wird als der VCO 204 der Typ JTOS-1000W der Firma Minicircuits verwendet.

Mit diesen Komponenten und den nachfolgenden Gleichungen (6) bis (10) können dann die Werte der Widerstände  $R_1$  und  $R_2$  und des Kondensators  $C$  des PI-Glieds berechnet werden.

$$\tau_1 = \frac{T_P K_0 \frac{U_B}{2}}{2\Delta\omega} \quad (6)$$

$$\omega_n = \sqrt{\frac{K_0 K_d}{N r_1}} \quad (7)$$

$$r_2 = \frac{2\xi}{\omega_n} \quad (8)$$

$$5 \quad \tau_1 = R_1 C \quad (9)$$

$$\tau_2 = R_2 C \quad (10)$$

wobei  $T_p = 500 \mu s$  eine Ziehzeit der PLL-Einheit 200  
 10 bei einem Ausgangsfrequenzsprung  $\Delta\omega = 1000 \text{ MHz} - 500 \text{ MHz}$   
 $= 500 \text{ MHz}$  ist,  $K_0 = 2\pi \cdot 40 \text{ MHz/V}$  ein Kreisfrequenzver-  
 stärkungsfaktor des VCO 204 ist,  $U_B = 5 \text{ V}$  eine Betriebs-  
 spannung des Phasendetektors 202 ist,  $K_d = 0,302 \text{ V/rad}$   
 ein Verstärkungsfaktor des Phasendetektors 202 ist,  $N =$   
 15  $(50 \cdot 100)^{1/2} \approx 70$  ein geometrisches Mittel des Teiler-  
 faktors  $n_2$  des  $1/n_2$ -Teilers 205 der PLL-Einheit 200 ist  
 und  $\xi = 0,7$  ein vorgegebener Dämpfungsfaktor der PLL-Ein-  
 heit 200 ist.

20 Einer der Werte der Widerstände  $R_1$  und  $R_2$  und des  
 Kondensators  $C$  wird festgelegt und die anderen Werte kön-  
 nen dann mittels der vorhergehenden Gleichungen berechnet  
 werden. Für den PLL-Baustein des Typs Q 3236 der Firma  
 Qualcomm wird der Wert des Widerstands  $R_1$  laut Herstel-  
 25 lerempfehlung auf  $1,5 \text{ kHz}$  festgelegt. Dadurch ergeben  
 sich für den Wert des Widerstands  $R_2 = 285 \Omega$  und für den  
 Wert des Kondensators  $C = 33,3 \text{ nF}$ . Nach dem Auswählen von  
 Normwerten werden für den Wert des Widerstands  $R_2 = 270$   
 $\Omega$  und für den Wert des Kondensators  $C = 33 \text{ nF}$  festge-  
 30 legt.

Bei einer alternativen Umsetzung des programmierbaren  
 Frequenzgenerators in die Praxis wird der PLL-Baustein



des Typs PE 3236 der Firma Pedegrine Semiconductor verwendet, der den  $1/n_1$ -Teiler 201, den Phasendetektor 202 und den  $1/n_2$ -Teiler 205 aufweist. Für diesen PLL-Baustein werden die Werte der Widerstände  $R_1 = 5,1 \text{ k}\Omega$ ,  $R_2 = 1012$   
5  $\Omega$  und des Kondensators  $C = 6,5 \text{ nF}$  erzielt. Nach dem Auswählen von Normwerten werden für den Wert des Widerstands  $R_2 = 1000 \Omega$  und für den Wert des Kondensators  $C = 6,8 \text{ nF}$  festgelegt.

10 Das Referenzfrequenz-Unterdrückungsfilter, das in Fig. 8 gezeigt ist, wird derart dimensioniert, daß sich ein erster Filterpol genau bei der Referenzfrequenz  $f_{\text{refPLL}}$  befindet. Genauer gesagt wird ein elliptisches LC-Filter fünften Grades mit einer maximalen Dämpfung im  
15 Sperrbereich und einer Grenzfrequenz von 2 MHz ausgebildet. Mittels eines Festlegens eines geeigneten Werts eines Kondensators  $C_{24}$  wird dann der erste Filterpol zu 10 MHz verschoben. Durch ein Auswählen von Werten der in Fig. 8 gezeigten Induktivitäten  $L_{22}$  und  $L_{24}$  und Kondensatoren  $C_{21}$ ,  $C_{22}$ ,  $C_{23}$ ,  $C_{24}$  und  $C_{25}$  aus Normwerten werden  
20 die folgenden Werte festgelegt:  $L_{22} = L_{24} = 10 \mu\text{H}$ ,  $C_{21} = C_{25} = 470 \text{ pF}$ ,  $C_{22} = 10 \text{ pF}$ ,  $C_{23} = 1,2 \text{ nF}$ ,  $C_{24} = 27 \text{ pF}$ . Dadurch befindet sich der Filterpol bei 9,7 MHz.

25 Untersuchungen der Erfinder der vorliegenden Erfindung haben gezeigt, daß das Schleifenfilter 203, das das aktive Filter und das Referenzfrequenz-Unterdrückungsfilter aufweist, stabil arbeitet.

30 Es ist anzumerken, daß es zum Minimieren des Signaljitters erforderlich ist, eine hochwertige PLL-Einheit 200 zu verwenden. Dies kann nur dadurch erzielt werden, daß der Phasendetektor 202, das Schleifenfilter 203 und der VCO 204 diskret, das heißt getrennt voneinander, auf-  
35 gebaut werden, da eine integrierte PLL-Einheit das erforderliche Leistungsvermögen nicht aufweist.

Nachfolgend wird der Aufbau der Teilereinheit 300 detaillierter beschrieben.

5        Fig. 9 zeigt ein Blockschaltbild der Teilereinheit 300.

Die Teilereinheit 300 weist einen 1/2-Teiler 301, erste bis siebte D-Flipflops 302 bis 308, eine programmierbare Logikanordnung bzw. PLD 309 und einen ersten und einen zweiten Multiplexer 310 bzw. 311 auf.

Ein Signal der Frequenz  $f_{VCO}$ , die sich in einem Bereich zwischen 500 und 1000 MHz befindet, wird in den 1/2-Teiler 301 eingegeben. Dieser 1/2-Teiler 301 ist nicht programmierbar bzw. schaltbar, was bedeutet, daß die Frequenzhalbierung immer durchgeführt wird. Dadurch wird einerseits die obere Grenzfrequenz von 500 MHz erzielt und andererseits eine Symmetrierung des Ausgangssignals des VCO 204 erzielt.

Das derart erzielte Ausgangssignal des 1/2-Teilers 301 mit maximal 500 MHz wird dann in einen programmierbaren Abschnitt der Teilereinheit 300 eingegeben. Um die erwünschte untere Grenzfrequenz von 100 Hz erzielen zu können, muß der programmierbare Abschnitt der Teilereinheit in 22 Stufen schaltbar bzw. programmierbar sein, was bei einem Binärteiler einem Teilerfaktor von  $2^{22} = 4194304$  entspricht. Es ist anzumerken, daß die in Fig. 9 gezeigte Teilereinheit 300 lediglich einen Teilerfaktor von  $2^{20}$  aufweist, mit der eine untere Grenzfrequenz von ca. 250 Hz erreichbar ist. Jedoch kann durch einfaches Hinzufügen weiterer Stufen zu der in Fig. 9 gezeigten Teilereinheit 300 der Teilerfaktor von  $2^{22}$  und somit die erwünschte untere Grenzfrequenz von 100 Hz erreicht werden.

Um einen Signaljitter möglichst gering zu halten, wird eine Forderung nach möglichst wenig Teilerstufen mit einer Forderung nach steilflankigen Signalen kombiniert. Dies wird wie folgt realisiert. Die ersten bis dritten D-Flipflops 302 bis 304 und das fünfte D-Flipflop bilden einen asynchronen Zähler aus, der das Signal der Frequenz  $f_{VCO}$  von maximal 500 MHz zu einem Signal einer Frequenz von maximal 31,5 MHz teilt. Der asynchrone Zähler weist also einen Teilerfaktor von  $2^4 = 16$  auf. Wie es aus Fig. 9 ersichtlich ist, befindet sich zwischen dem dritten D-Flipflop 304 und dem fünften D-Flipflop 306, die Teil des asynchronen Zählers sind, das vierte D-Flipflop 305, das keine Frequenzteilung des Eingangssignals durchführt. Vielmehr wird dem vierten D-Flipflop 305 an seinem Takteingang das jitterarme Signal der Frequenz  $f_{VCO}$  zugeführt, um das Ausgangssignal aus dem dritten D-Flipflop 304, das aufgrund des Durchlaufens mehrerer D-Flipflops einen hohen Jitter aufweist, wieder mit dem jitterarmen Signal der Frequenz  $f_{VCO}$  zu synchronisieren, um die Anzahl der zu durchlaufenden Teilerstufen bzw. D-Flipflops zu minimieren, deren Breitbandrauschen sich aufsummiert und zu dem Signaljitter beiträgt. Dabei ist zu beachten, daß eine Laufzeit eines zu synchronisierenden Signals nicht länger als eine Periodendauer des Signals der Frequenz  $f_{VCO}$  sein darf.

Bei der Umsetzung des programmierbaren Frequenzgenerators in die Praxis werden für die D-Flipflops ECL-Bausteine der Serie ECLinPS Lite der Firma Motorola verwendet, die sehr steile Signalfanken von ungefähr 225 ps und eine Gatterlaufzeit von 600 ps aufweisen. Aufgrund dieser Gatterlaufzeit von 600 ps und der vorhergehenden Forderung bezüglich der Laufzeit des zu synchronisierenden Signals und der minimalen Periodendauer von 2 ns bei 500 MHz ergibt sich, daß das Signal nach maximal drei

ECL-Bausteinen wieder synchronisiert werden muß.

Signale an den Takteingängen der ersten bis vierten D-Flipflops 302 bis 305 werden jeweiligen Eingängen des ersten Multiplexers 310 zugeführt. Weiterhin wird das aus dem fünften D-Flipflop 306 ausgegebene Signal einem Eingang der PLD 309 zugeführt.

Die PLD 309 ist derart programmiert, wie es in Fig. 10 gezeigt ist. Genauer gesagt ist die PLD 309 derart programmiert, daß sie zwei 8-Bitzähler 312 und 313 mit einem asynchronen Löscheingang, Eingängen Enable und Carry-In und einem Ausgang Carry-Out, zwei Achtfach-Multiplexer 314 und 315 und einen Zweifach-Multiplexer 316 aufweist. Der maximale Teilerfaktor dieser Anordnung beträgt  $2^{16}$ .

Mit dem sechsten D-Flipflop 307 wird das Ausgangssignal der PLL mit dem Eingangssignal der PLD 309 synchronisiert. Schließlich wird das derart mit dem Eingangssignal der PLD 309 synchronisierte Ausgangssignal der PLD 309 mittels des siebten D-Flipflops 308 mit dem Eingangssignal der Frequenz  $f_{VCO}$  synchronisiert. Das Ausgangssignal aus dem siebten D-Flipflop 308 wird dann in den zweiten Multiplexer 311 eingegeben, in den ebenso ein Ausgangssignal aus dem ersten Multiplexer 310 eingegeben wird. Der zweite Multiplexer 311 gibt dann das Ausgangssignal mit der erwünschten Frequenz  $f_{out}$  aus.

Erfindungsgemäß ist es festgestellt worden, daß die D-Flipflops eine starke Rückwirkung vom Eingang auf den Ausgang aufweisen. Dies führt zu einem "unsauberen" Spektrum mit störenden Spektrallinien und damit zu hohen Werten des Signaljitters. Um diese hohen Werte des Signaljitters zu vermeiden, werden bei einem Abgreifen eines Signals des asynchronen Zählers nachfolgende "langsamere"

D-Flipflops mittels eines Reseteingangs des direkt nachfolgenden D-Flipflops zurückgesetzt bzw. ausgeschaltet. Dadurch werden die störenden Spektrallinien vermieden und der Wert des Signaljitters verringert.

5

Da aufgrund hoher Eingangsfrequenzen und der erforderlichen Synchronisation sehr viele einzelne ECL-Bausteine als D-Flipflops verwendet werden, besteht die Möglichkeit, die Teilereinheit 300 in einem Gate-Array zu verwirklichen. Gate-Arrays sind in SiGe-Technologie verfügbar und können daher Frequenzen bis zu ungefähr 5 GHz verarbeiten. Derartige Gate-Arrays weisen den Vorteil einer schnellen Verfügbarkeit auf, da ihre Produktionszeit maximal ungefähr sechs Wochen beträgt. Durch eine derartige Integration kann einerseits eine erforderliche Platinenfläche verringert werden und können andererseits durch das Ersetzen von mehreren einzelnen Bausteinen mit Externbeschaltung Kosten eingespart werden.

20 Nachfolgend wird beschrieben, auf welche Weise ein Einstellen einer Ausgangsfrequenz  $f_{out}$  des wie zuvor beschrieben aufgebauten programmierbaren Frequenzgenerators durchgeführt wird.

25 Es ist anzumerken, daß bei dem zuvor beschriebenen programmierbaren Frequenzgenerator jede Ausgangsfrequenz mit lediglich einer einzigen Einstellung ausgegeben werden kann. Jedoch ist es erforderlich, immer an allen Teilen, das heißt der DDS-Einheit 100, der PLL-Einheit 200 und der Teilereinheit 300, eine Einstellung vorzunehmen.

Die Ausgangsfrequenz des programmierbaren Frequenzgenerators ist durch die nachfolgende Gleichung (11) gegeben.

35

$$f_{out} = (f_{refPLL} \cdot N) / (2^{n+1}) \quad (11)$$

wobei  $N$  der Teilerfaktor der PLL-Einheit 200 und  $n$  die Anzahl der zu schaltenden Teilerstufen der Teilereinheit 300 ist.

5

Für ein Berechnen ausgehend von der Ausgangsfrequenz  $f_{out}$  wird zuerst eine Hilfsvariable  $X$  gemäß der nachfolgenden Gleichung (12) berechnet.

10 
$$X = f_{out}/10 \text{ MHz} \quad (12)$$

$X$  stellt hier den Teilerfaktor der PLL-Einheit 200 für eine Referenzfrequenz  $f_{refPLL}$  von genau 10 MHz ohne die nachfolgende Teilereinheit 300 dar.  $X$  kann somit  
15 Werte sehr viel kleiner als eins annehmen. Mit dieser Hilfsvariable  $X$  kann die Anzahl  $n$  der erforderlichen Teilerstufen der Teilereinheit 300 durch die nachfolgende Gleichung (13) berechnet werden.

20 
$$n = \left[ \text{round} \left( \text{ld} \frac{50}{X} \right) \right] - 1 \quad (13)$$

Der berechnete Wert für  $\text{ld}(50/X)$  ist also auf den nächsten ganzzahligen Wert aufzurunden.

25 Der Wert für den Teilerfaktor  $N$  der PLL-Einheit 300 ist durch die nachfolgende Gleichung (14) gegeben.

$$N = \text{round}(2^{n+1} \cdot X) \quad (14)$$

30 Hierbei ist anzumerken, daß eine Auf- oder Abrundung auf den nächsten ganzzahligen Wert nicht ausreicht. Der Teilerfaktor  $N$  muß derart auf- oder abgerundet werden, daß er einem Wert aus dem Bereich der einstellbaren Werte der PLL-Einheit entspricht.

35

Folglich ist durch Umstellen der vorhergehenden Gleichung (11) die Referenzfrequenz  $f_{\text{refPLL}}$  durch die nachfolgende Gleichung (15) gegeben.

$$5 \quad f_{\text{refPLL}} = (2^{n+1} \cdot f_{\text{out}})/N \quad (15)$$

Es ist anzumerken, daß das Berechnen der Referenzfrequenz  $f_{\text{refPLL}}$  mit sehr hoher Genauigkeit durchgeführt werden muß, da von dieser die Ausgangsfrequenz  $f_{\text{out}}$  mit  
10 dem Faktor  $N/2^{n+1}$  abgeleitet wird. Das Berechnen der anderen Werte  $X$ ,  $N$  und  $n$  kann aufgrund der erforderlichen Rundungen mit niedriger Genauigkeit durchgeführt werden.

Nachfolgend werden die Maßnahmen, die zu einer Verringerung der Werte des Signaljitters beitragen, nochmals  
15 zusammengefaßt.

Allgemein ist festzuhalten, daß die DDS-Einheit 100, die PLL-Einheit 200 und die Teilereinheit 300 derart programmierbar sind, daß für jeweils eine einzige Kombination einer aus der DDS-Einheit auszugebenden Frequenz  $f_{\text{refPLL}}$ , eines eine Frequenzvervielfachung der PLL-Einheit bestimmenden Teilerfaktors der PLL-Einheit 200 und eines eine Frequenzteilung der Teilereinheit 300 bestimmenden Teilerfaktors der Teilereinheit 300 jeweils genau  
20 eine vorbestimmte Frequenz aus dem programmierbaren Frequenzgenerator ausgegeben wird. Dadurch sind die DDS-Einheit 100, die PLL-Einheit 200 und die Teilereinheit 300 derart unabhängig voneinander optimierbar, daß der Wert  
25 des Signaljitters eines Ausgangssignals des programmierbaren Frequenzgenerators minimiert werden kann.  
30

Bei der DDS-Einheit 100 wird ein Filter 102, wie zum Beispiel ein Tiefpaßfilter, vorgesehen, um unerwünschte  
35 Frequenzanteile auszufiltern und somit den Wert des Signaljitters zu minimieren.

Bei der PLL-Einheit 200 wird lediglich ein einziges Schleifenfilter 203 vorgesehen, das aufgrund der geringen Frequenzverstimmung der Referenzfrequenz  $f_{\text{refPLL}}$  im Bereich von 10 MHz  $\pm$  500 kHz zweckmäßig dimensioniert werden kann. Ferner wird der Ziehbereich der Frequenz  $f_{\text{VCO}}$  mittels der PLL-Einheit 200 derart eingeschränkt, daß sich die Frequenz  $f_{\text{VCO}}$  lediglich um einen Faktor von zwei ändern kann.

10

Schließlich wird bei der Teilereinheit 300 die zuvor beschriebene Synchronisation von Teilerstufen durchgeführt und werden "langsamere" nachfolgende Teilerstufen ausgeschaltet.

15

Es ist von den Erfindern der vorliegenden Erfindung festgestellt worden, daß mittels dieser Maßnahmen der Effektivwert des Signaljitters auf einen Wert von maximal 5 ps verringert werden kann.



Ansprüche

1. Programmierbarer Frequenzgenerator, der aufweist:  
5 einen Oszillator;  
eine Phasenregelschleife; und  
eine Teilerschaltung, wobei  
der Oszillator, die Phasenregelschleife und die Tei-  
lerschaltung in dieser Reihenfolge in Reihe geschaltet  
10 sind, und  
für jeweils eine einzige Kombination einer Ausgangs-  
frequenz des Oszillators, eines eine Frequenzvervielfa-  
chung der Phasenregelschleife bestimmenden Teilerfaktors  
der Phasenregelschleife und eines eine Frequenzteilung  
15 der Teilerschaltung bestimmenden Teilerfaktors der Tei-  
lerschaltung jeweils genau eine vorbestimmte Frequenz aus  
dem programmierbaren Frequenzgenerator ausgegeben wird.
2. Programmierbarer Frequenzgenerator nach Anspruch  
20 1, wobei der Oszillator einen DDS-Baustein und ein dem  
DDS-Baustein nachgeschaltetes Filter aufweist.
3. Programmierbarer Frequenzgenerator nach Anspruch  
2, wobei das Filter ein Tiefpaßfilter oder ein Bandpaß-  
25 filter ist.
4. Programmierbarer Frequenzgenerator nach Anspruch  
2 oder 3, wobei das Filter ein elliptisches Tiefpaßfilter  
sechsten Grades ist.  
30
5. Programmierbarer Frequenzgenerator nach einem der  
vorhergehenden Ansprüche, wobei der Oszillator eine Fre-  
quenz in einem Bereich von  $10 \text{ MHz} \pm 500 \text{ kHz}$  zu der Pha-  
senregelschleife ausgibt.  
35
6. Programmierbarer Frequenzgenerator nach einem der

vorhergehenden Ansprüche, wobei die Phasenregelschleife ein einziges Schleifenfilter aufweist, das auf einen Verstimmungsbereich der Ausgangsfrequenz des Oszillators abgestimmt ist.

5

7. Programmierbarer Frequenzgenerator nach Anspruch 6, wobei das Schleifenfilter ein aktives Filter und ein Referenzfrequenz-Unterdrückungsfilter aufweist.

10 8. Programmierbarer Frequenzgenerator nach Anspruch 7, wobei das aktive Filter ein PI-Glied ist.

9. Programmierbarer Frequenzgenerator nach Anspruch 7 oder 8, wobei das Referenzfrequenz-Unterdrückungsfilter  
15 ein LC-Filter fünften Grades ist.

10. Programmierbarer Frequenzgenerator nach einem der Ansprüche 7 bis 9, wobei das Referenzfrequenz-Unterdrückungsfilter auf einen Verstimmungsbereich der Ausgangs-  
20 frequenz des Oszillators abgestimmt ist.

11. Programmierbarer Frequenzgenerator nach einem der vorhergehenden Ansprüche, wobei die Phasenregelschleife einen spannungsgesteuerten Oszillator aufweist, der ein  
25 Signal einer Frequenz von 500 bis 1000 MHz ausgibt.

12. Programmierbarer Frequenzgenerator nach einem der vorhergehenden Ansprüche, wobei die Teilerschaltung einen asynchronen Zähler mit mehreren Teilerstufen aufweist.

30

13. Programmierbarer Frequenzgenerator nach Anspruch 12, wobei die Frequenz des durch die Teilerstufen laufenden Signals derart zu der Frequenz des in die Teilerschaltung eingegebenen Signals synchronisiert ist, daß  
35 diese Synchronisierung nach einer derartigen Teilerstufe durchgeführt wird, bei der die Summe der Gatterlaufzeiten

der bis dahin durchlaufenen Teilerstufen kleiner als eine Periodendauer eines in die Teilerschaltung eingegebenen Signals mit einer maximalen Frequenz ist.

5        14. Programmierbarer Frequenzgenerator nach Anspruch 12 oder 13, wobei die Teilerschaltung eine dem asynchronen Zähler nachgeschaltete programmierbare Logikanordnung aufweist.

10       15. Programmierbarer Frequenzgenerator nach Anspruch 14, wobei die Frequenz eines Ausgangssignals der programmierbaren Logikanordnung zu einer Frequenz eines Eingangssignals der Logikanordnung synchronisiert ist.

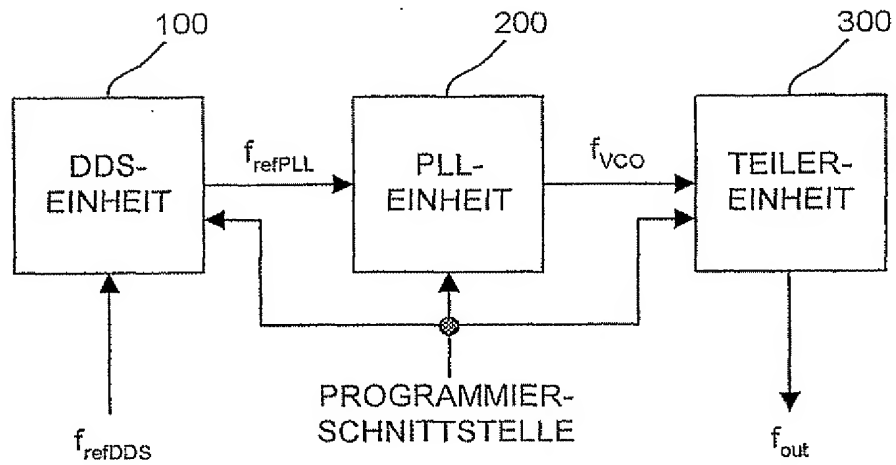
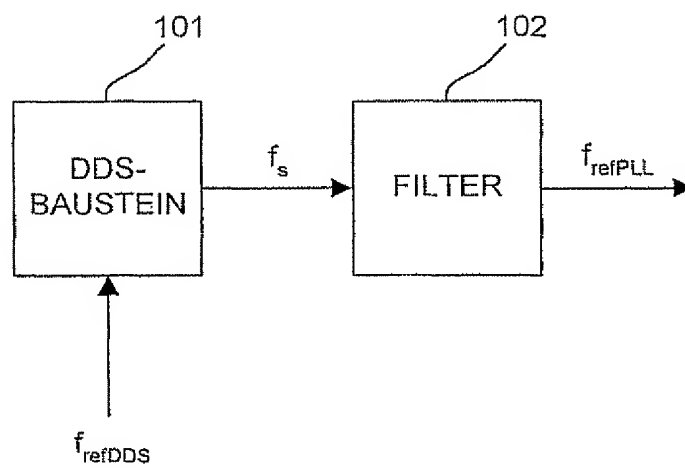
15       16. Programmierbarer Frequenzgenerator nach Anspruch 15, wobei die zu der Frequenz des Eingangssignals der programmierbaren Logikanordnung synchronisierte Frequenz des Ausgangssignals der programmierten Logikanordnung zu der Frequenz des Eingangssignals der Teilerschaltung syn-  
20 chronisiert ist.

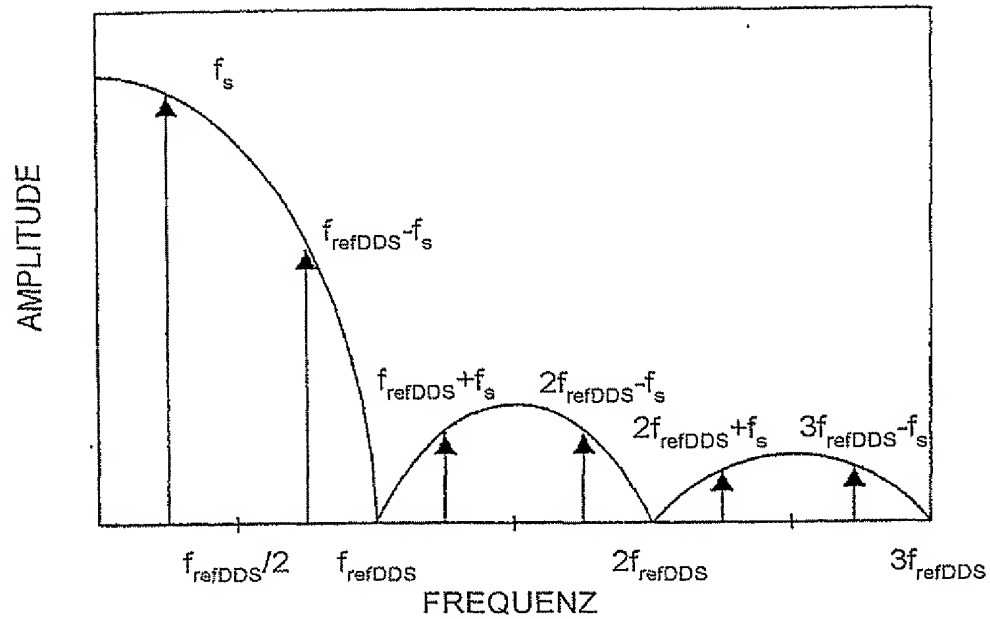
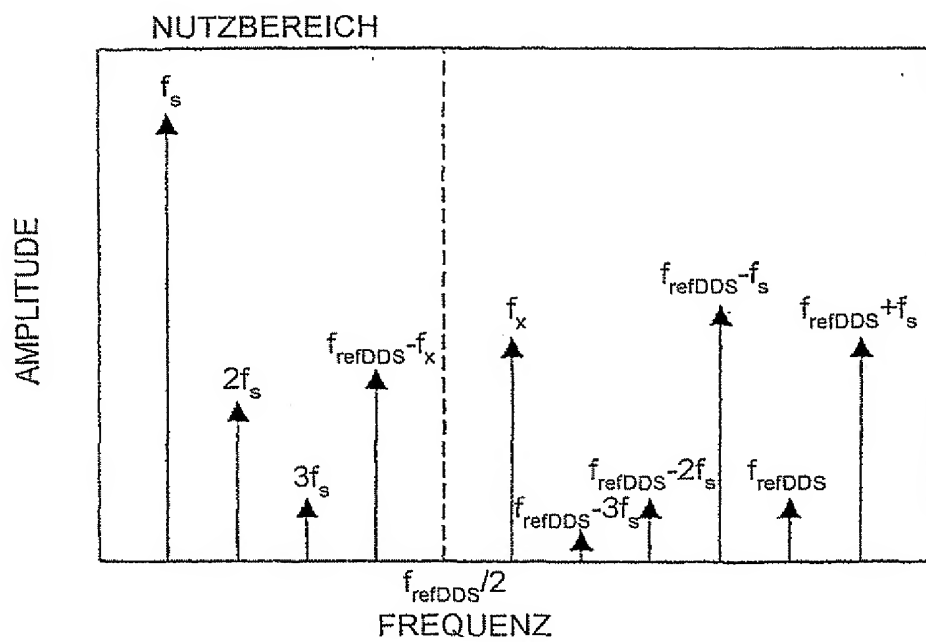
      17. Programmierbarer Frequenzgenerator nach einem der Ansprüche 12 bis 16, wobei Teilerstufen, die einer Teilerstufe nachgeschaltet sind, deren Ausgangssignal abge-  
25 griffen wird, ausgeschaltet sind.

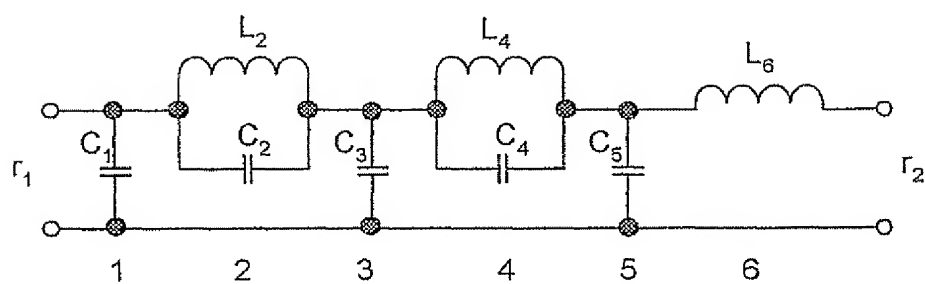
      18. Programmierbarer Frequenzgenerator nach Anspruch 17, wobei das Ausschalten der Teilerstufen durch Zurücksetzen einer der Teilerstufe, deren Ausgangssignal abge-  
30 griffen wird, unmittelbar nachgeschalteten Teilerstufe mittels eines Eingangs Reset dieser unmittelbar nachgeschalteten Teilerstufe erfolgt.

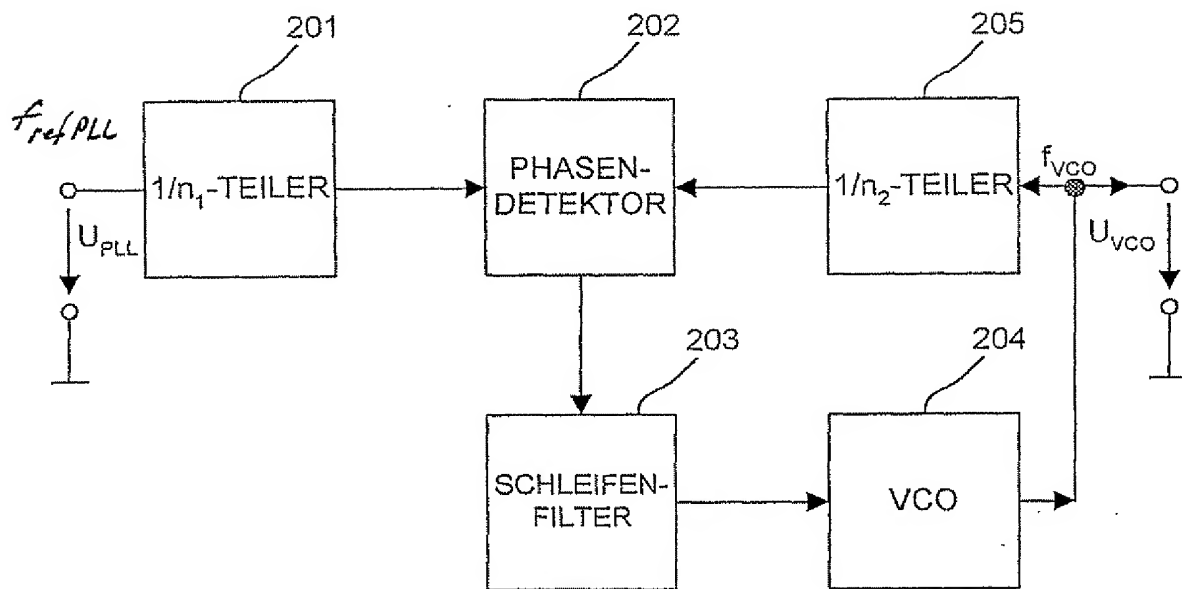
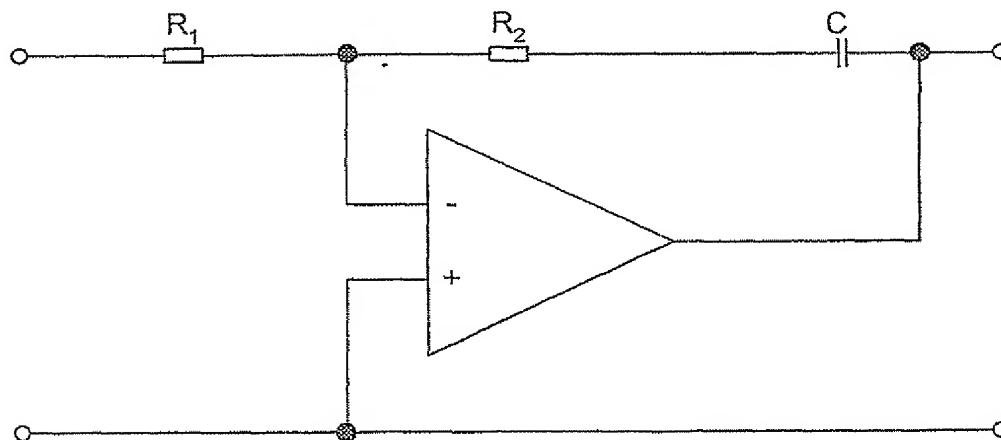
      19. Programmierbarer Frequenzgenerator nach einem der Ansprüche 12 bis 18, wobei Teilerschaltung einen dem asynchronen Zähler vorgeschalteten 1/2-Teiler aufweist.

20. Programmierbarer Frequenzgenerator nach einem der Ansprüche 12 bis 19, wobei die Teilerschaltung als die vorbestimmte Frequenz des programmierbaren Frequenzgenerators eine Frequenz in dem Bereich von 100 Hz bis 500 MHz ausgibt, die in Schritten von 1 Hz einstellbar ist.

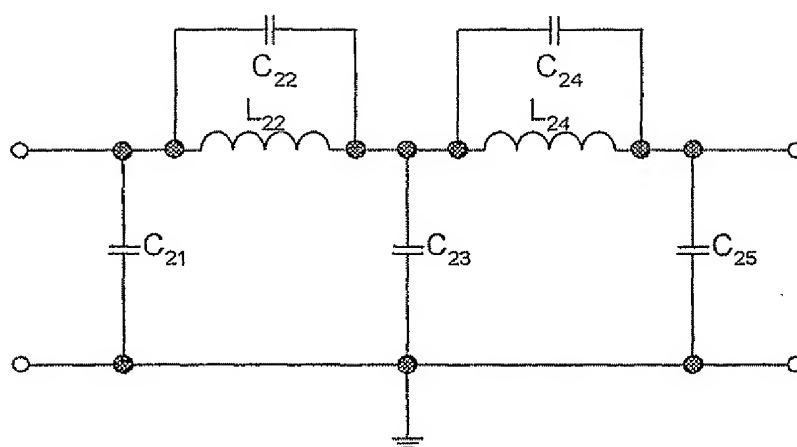
**FIG. 1****FIG. 2**

**FIG. 3****FIG. 4**

**FIG. 5**

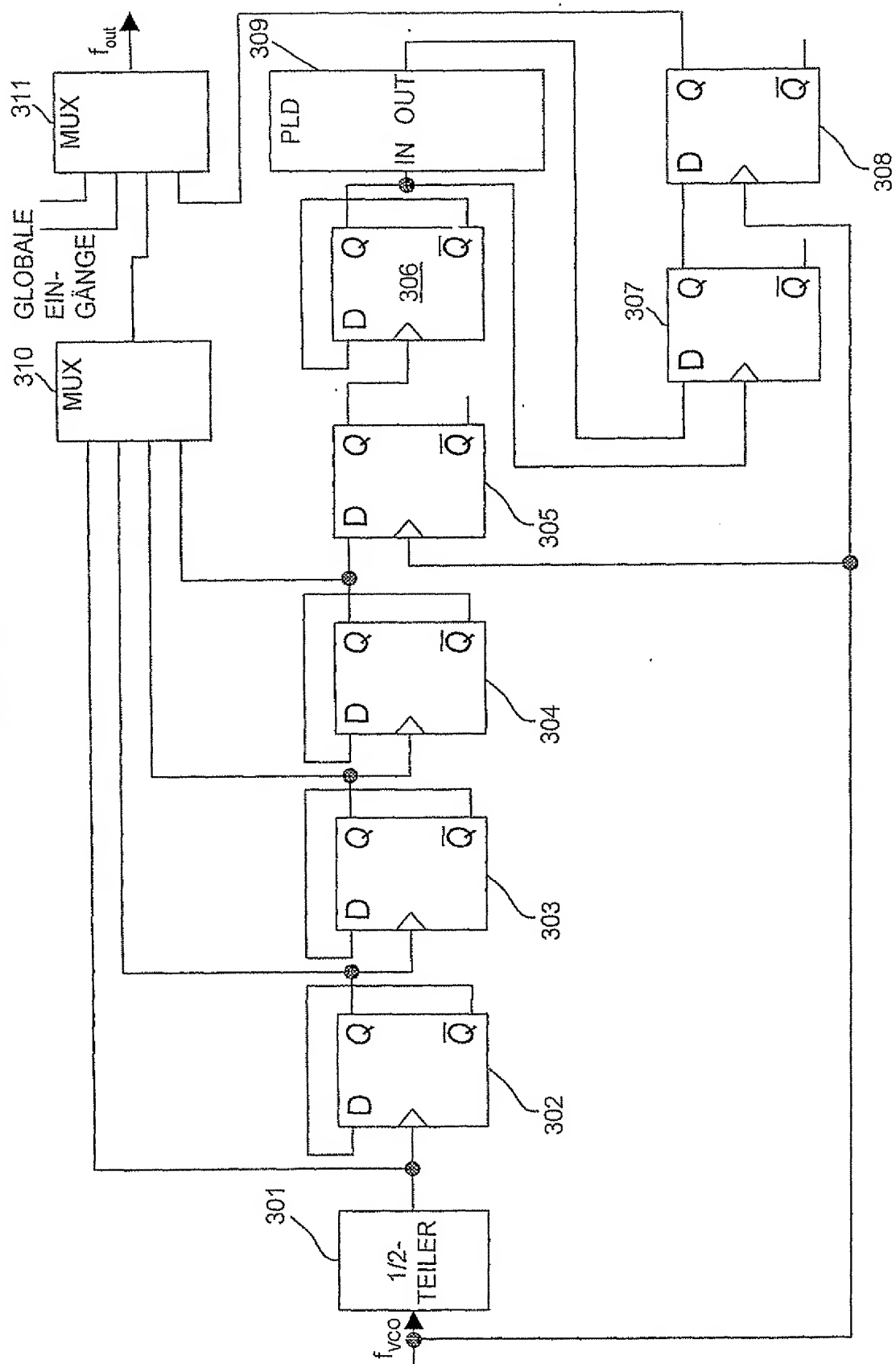
**FIG. 6****FIG. 7**



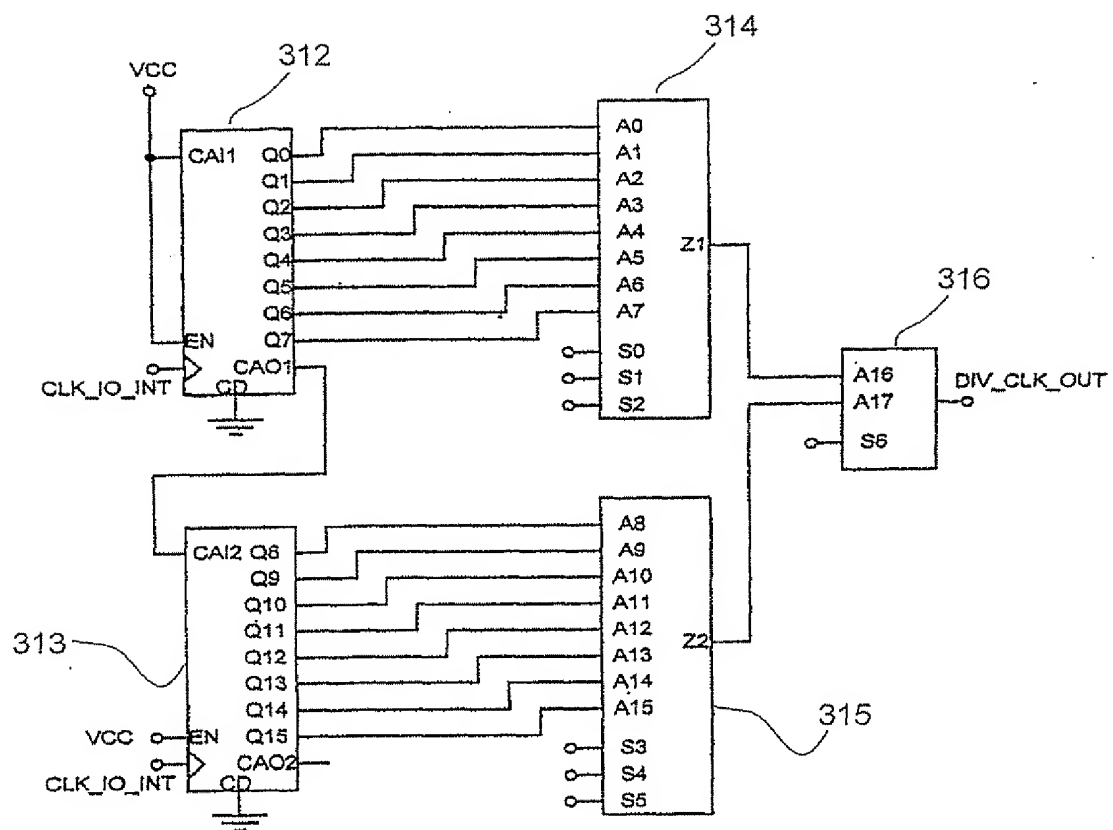
**FIG. 8**

6/7

FIG. 9



7/7

**FIG. 10**

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H03L7/18

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H03L H03K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 454 917 A (HEWLETT PACKARD LTD) 6 November 1991 (1991-11-06) column 2, line 21 -column 3, line 36; figure 1	1,2
X	EP 0 278 140 A (HEWLETT PACKARD LTD) 17 August 1988 (1988-08-17)	1-5, 11, 12, 14, 19, 20
Y	column 2, line 8 -column 4, line 32; figure 1	13
A	EP 0 601 519 A (UNIDEN KK) 15 June 1994 (1994-06-15) page 4, line 48 -page 5, line 55; figures 1-3,7	2-4
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

\* Special categories of cited documents:

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier document but published on or after the International filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\* & \* document member of the same patent family

Date of the actual completion of the international search

14 March 2002

Date of mailing of the international search report

22/03/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Aouichi, M

In                      Additional Application No                     

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT  
Information on patent family members

International Application No  
PCT/EP 01/12190

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0454917	A	06-11-1991	EP 0454917 A1	06-11-1991
			DE 69011670 D1	22-09-1994
			DE 69011670 T2	08-12-1994
EP 0278140	A	17-08-1988	EP 0278140 A1	17-08-1988
			JP 63219225 A	12-09-1988
			US 4835491 A	30-05-1989
EP 0601519	A	15-06-1994	JP 6177651 A	24-06-1994
			DE 69316857 D1	12-03-1998
			DE 69316857 T2	18-06-1998
			EP 0601519 A2	15-06-1994
			US 5428308 A	27-06-1995
DE 3806981	A	14-09-1989	DE 3806981 A1	14-09-1989

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H03L7/18

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H03L H03K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 454 917 A (HEWLETT PACKARD LTD) 6. November 1991 (1991-11-06) Spalte 2, Zeile 21 -Spalte 3, Zeile 36; Abbildung 1	1,2
X	EP 0 278 140 A (HEWLETT PACKARD LTD) 17. August 1988 (1988-08-17)	1-5,11, 12,14, 19,20
Y	Spalte 2, Zeile 8 -Spalte 4, Zeile 32; Abbildung 1	13
A	EP 0 601 519 A (UNIDEN KK) 15. Juni 1994 (1994-06-15) Seite 4, Zeile 48 -Seite 5, Zeile 55; Abbildungen 1-3,7	2-4
	--- -/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*Z\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

14. März 2002

Absenddatum des internationalen Recherchenberichts

22/03/2002

Name und Postanschrift der internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Aouichi, M

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Beitr., Anspruch Nr.
Y	DE 38 06 981 A (SIEMENS AG) 14. September 1989 (1989-09-14) Spalte 1, Zeile 2 -Spalte 3, Zeile 19; Abbildung 1 -----	13



# INTERNATIONALER RECHERCHENBERICHT I

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

In internationales Aktenzeichen

PCT/EP 01/12190

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 0454917	A	06-11-1991	EP	0454917 A1	06-11-1991
			DE	69011670 D1	22-09-1994
			DE	69011670 T2	08-12-1994
EP 0278140	A	17-08-1988	EP	0278140 A1	17-08-1988
			JP	63219225 A	12-09-1988
			US	4835491 A	30-05-1989
EP 0601519	A	15-06-1994	JP	6177651 A	24-06-1994
			DE	69316857 D1	12-03-1998
			DE	69316857 T2	18-06-1998
			EP	0601519 A2	15-06-1994
			US	5428308 A	27-06-1995
DE 3806981	A	14-09-1989	DE	3806981 A1	14-09-1989